

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-143111

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G09G 3/36

(21)Application number : 08-304420

(71)Applicant : HITACHI LTD
HITACHI VIDEO IND INF SYST INC

(22)Date of filing : 15.11.1996

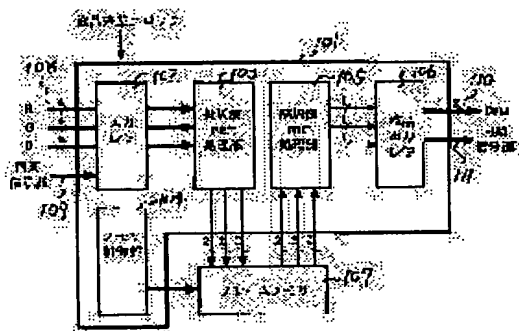
(72)Inventor : KUDO YASUYUKI
MANO HIROYUKI
FURUHASHI TSUTOMU
UCHIDA SHINJI
OHIRA TOMOHIDE
INUZUKA TATSUHIRO

(54) LIQUID CRYSTAL CONTROLLER AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal controller reducing a trailing of a halftone display part and preventing increase in frame memory capacity when a liquid crystal controller controlling a display of a simple matrix liquid crystal display performs high frequency conversion of an inputted frame frequency and the number of bits reduction of the input display data by halftone processing.

SOLUTION: This liquid crystal controller 101 is constituted so that halftone processing parts are provided on both of a preceding stage writing in a frame frequency converting frame memory 107 and a post stage frequency converting and reading out. Thus, the information amount of the display data written in the frame memory are reduced, and further, since a halftone display pattern is switched at the same switch frequency as the converted frame frequency, the trailing, the flicker of the halftone display part is reduced.



LEGAL STATUS

[Date of request for examination]

05.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3361705

[Date of registration]

18.10.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

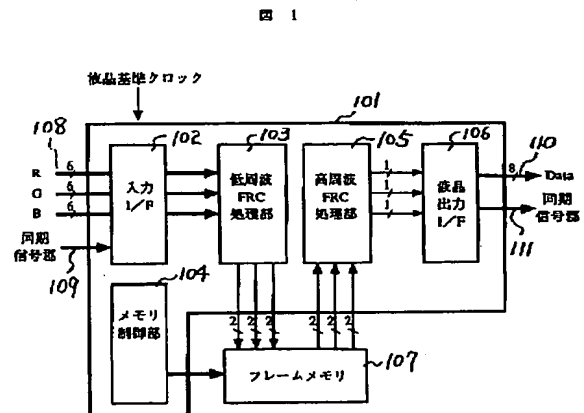
Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月29日

審査請求 未請求 請求項の数 8 OL (全 11 頁)

[最終頁に続く](#)



【特許請求の範囲】

【請求項1】 直交する走査電極とデータ電極の交点で画素を構成し、該画素は該走査電極とデータ電極に印加される電圧の差の2乗平均に応じて透過率が変化する、単純マトリクス型の液晶ディスプレイを表示するための液晶コントローラであって、

該液晶コントローラの入力信号は、該画素にnビット（nは正の整数）分の異なるレベルの中間階調を表示するための表示データと、該入力表示データに同期したクロック信号、1走査電極当りの入力表示期間の切り替えを示すライン信号、先頭の走査電極の入力表示タイミングを示すフレーム信号、有効入力表示データの期間を示す信号である同期信号群と、該単純マトリクス型液晶ディスプレイを表示するために必要な同期信号群を生成する基準となるクロック信号であり、

該液晶コントローラの出力信号は、複数画素分が平行に出力される2値の表示データと、該出力表示データに同期したクロック信号、1走査電極当り出力表示期間の切り替えを示すライン信号、先頭の走査電極の出力表示タイミングを示すフレーム信号、有効出力表示データの期間を示す信号である同期信号群であり、

該液晶コントローラは、入力されるフレーム周波数よりも高いフレーム周波数で該単純マトリクス型液晶ディスプレイを駆動するため、フレーム周波数を変換するためのフレームメモリを外部に具備しており、該フレームメモリを制御するために必要な信号群を出力し、

該液晶コントローラは、入力される該nビット中間階調データを1ビットに変換して出力するために、例えば数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定するフレーム・レイト・コントロール（FRC）方式を用いた中間階調処理を実行し、該液晶コントローラは、該FRC方式を行う中間階調処理部を、該フレームメモリの前段（低周波中間階調処理部）と後段（高周波中間階調処理部）に分けて設けており、

入力される該nビット中間階調データ中の数ビットは、該フレームメモリに書き込まれる前に該低周波中間階調処理され、残りの数ビットは該フレームメモリから読み出された後に該高周波中間階調処理され、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換することを特徴とする液晶コントローラ。

【請求項2】 請求項1記載の液晶コントローラにおいて、

該低周波中間階調処理部と該高周波中間階調処理部は、水平方向と垂直方向にそれぞれ数画素分のマトリクスを形成し、この中で表示オンと表示オフから成るパターン（以下、FRCパターンと呼ぶ）を生成し、このFRCパターンをフレーム毎に切り替える制御方法を用い、該高周波中間階調処理部で使用するFRCパターンは、

2画素×2画素を単位マトリクスとしたチェッカーパターンであり、その半分は表示オン又は表示オフデータを表示する部分、前記低周波中間階調処理部で出力される信号そのまま表示する部分であり、これらの部分は1フレーム毎にその場所を交互に切り替え、

該高周波中間階調処理部で処理される表示信号は、該nビット中間階調データの最上位ビットであることを特徴とする液晶コントローラ。

【請求項3】 請求項1記載の液晶コントローラにおいて、

出力されるフレーム周波数は出力されるフレーム周波数の整数倍であり、該フレーム周波数変換のタイミング調整は、どの走査電極も選択走査しない期間である帰線期間で行うことを特徴とする液晶コントローラ。

【請求項4】 請求項1の液晶コントローラは、該フレームメモリを内蔵し、1チップのLSIで構成されていることを特徴とする液晶コントローラ。

【請求項5】 直交する走査電極とデータ電極の交点で画素を構成し、該画素は該走査電極とデータ電極に印加される電圧の差の2乗平均に応じて透過率が変化する、単純マトリクス型の液晶パネルと、該データ電極に、表示情報に応じた電圧を印加するデータドライバと、該走査電極に非選択走査電圧と走査選択電圧を出力する走査ドライバと、該データドライバと走査ドライバの駆動に必要な電源電圧を発生する電源回路と、該データドライバと走査ドライバの動作に必要な制御信号、及び表示データを供給する液晶コントローラからなる液晶表示装置であって、

該液晶コントローラの入力信号は、該画素にnビット（nは正の整数）分の異なるレベルの中間階調を表示するための表示データと、該入力表示データに同期したクロック信号、1走査電極当りの入力表示期間の切り替えを示すライン信号、先頭の走査電極の入力表示タイミングを示すフレーム信号、有効入力表示データの期間を示す信号である同期信号群と、該単純マトリクス型液晶ディスプレイを表示するために必要な同期信号群を生成する基準となるクロック信号であり、

該液晶コントローラの出力信号は、複数画素分が平行に出力される2値の表示データと、該出力表示データに同期したクロック信号、1走査電極当り出力表示期間の切り替えを示すライン信号、先頭の走査電極の出力表示タイミングを示すフレーム信号、有効出力表示データの期間を示す信号である同期信号群であり、

該液晶コントローラは、入力されるフレーム周波数よりも高いフレーム周波数で該単純マトリクス型液晶ディスプレイを駆動するため、フレーム周波数を変換するためのフレームメモリを外部に具備、あるいは内蔵しており、該フレームメモリを制御するために必要な信号群を生成し、

該液晶コントローラは、入力される該nビット中間階調

データを1ビットに変換して出力するために、例えば数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定するフレーム・レイト・コントローラ(FRC)方式を用いた中間階調処理を実行し、該液晶コントローラは、該FRC方式を行う中間階調処理部を、該フレームメモリの前段(低周波中間階調処理部)と後段(高周波中間階調処理部)に分けて設けており、

入力される該nビット中間階調データ中の数ビットは、該フレームメモリに書き込まれる前に該低周波中間階調処理され、残りの数ビットは該フレームメモリから読み出された後に該高周波中間階調処理され、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換することを特徴とする液晶コントローラ。

【請求項6】直交する走査電極とデータ電極の交点で画素を構成し、該画素は該走査電極とデータ電極に印加される電圧の差の2乗平均に応じて透過率が変化する、単純マトリクス型の液晶ディスプレイを表示するための液晶コントローラであって、

該液晶表示装置の入力信号は、該画素に中間階調を連続的な電圧値で表現するアナログ表示データと、該入力表示データに同期したクロック信号、1走査電極当りの入力表示期間の切り替えを示すライン信号、先頭の走査電極の入力表示タイミングを示すフレーム信号、有効入力表示データの期間を示す信号である同期信号群と、該単純マトリクス型液晶ディスプレイを表示するために必要な同期信号群を生成する基準となるクロック信号であり、

該液晶コントローラの出力信号は、複数画素分が平行に出力される2値の表示データと、該出力表示データに同期したクロック信号、1走査電極当り出力表示期間の切り替えを示すライン信号、先頭の走査電極の出力表示タイミングを示すフレーム信号、有効出力表示データの期間を示す信号である同期信号群であり、

該液晶コントローラは、該アナログ表示データをn(nは正の整数)ビットのデジタルデータに変換するためのA/D変換器と、変換されたnビットの表示データを前記出力する表示データ及び同期信号群に変換する、階調処理コントローラから構成され、

該液晶コントローラは、入力されるフレーム周波数よりも高いフレーム周波数で該単純マトリクス型液晶ディスプレイを駆動するため、フレーム周波数を変換するためのフレームメモリを外部に具備、あるいは内蔵しており、該フレームメモリを制御するために必要な信号群を、該階調処理コントローラで生成し、

該階調処理コントローラは、入力される該nビット中間階調データを1ビットに変換して出力するために、例えば数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定するフレーム・レイト・コン

トロール(FRC)方式を用いた中間階調処理を実行し、

該階調処理コントローラは、該FRC方式を行う中間階調処理部を、該フレームメモリの前段(低周波中間階調処理部)と後段(高周波中間階調処理部)に分けて設けており、

入力される該nビット中間階調データ中の数ビットは、該フレームメモリに書き込まれる前に該低周波中間階調処理され、残りの数ビットは該フレームメモリから読み出された後に該高周波中間階調処理され、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換することを特徴とする液晶コントローラ。

【請求項7】請求項1から6の液晶液晶コントローラ及び液晶表示装置において、

前記低周波中間階調処理部と高周波中間階調処理部は、水平方向と垂直方向にそれぞれ数画素分のマトリクスを形成し、この中で表示オンと表示オフから成るFRCパターンを生成し、このFRCパターンをフレーム毎に切り替える制御方法を用い、

該低周波中間階調処理部と高周波中間階調処理部におけるFRCパターンの合成パターンは、FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定であることを特徴とする液晶液晶コントローラ及び液晶表示装置。

【請求項8】請求項7の液晶液晶コントローラ及び液晶表示装置において、

前記高周波中間階調処理部で発生するパターンが、2画素×2画素を単位マトリクスとしたチェッカーパターンである場合、

前記高周波中間階調処理部で発生するパターンの、マトリクスの走査ライン方向の大きさ(画素数)は奇数であり、かつ、FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定であることを特徴とする液晶液晶コントローラ及び液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に直交する走査電極とデータ電極の交点で画素を構成し、該画素は該走査電極とデータ電極に印加される電圧の差の2乗平均に応じて透過率が変化する、単純マトリクス型の液晶表示装置において、低コストかつ高表示品質で駆動可能な液晶コントローラに関する。

【0002】

【従来の技術】従来、STN液晶で最適なコントラストを得るため駆動フレーム周波数は液晶材料の応答速度によって異なり、応答時間300msで90~120Hz、100msで160~240Hzといわれている。これらの周波数はCRTやTF T液晶で用いるフレーム

周波数である60~75Hzに比べて高く、例えばこれらの信号をSTN液晶用の表示信号に変換するには、表示データを保存するためのフレームメモリを用いてフレーム周波数を変換することが必要になる。

【0003】一方、STN液晶では1画素に対して表示オンまたは表示オフの2値の情報を与える駆動方法が主流である。このため、中間階調すなわち1画素に対し表示オンまたは表示オフ以外のデータを表現するためには、特別な処理が必要になる。これを実現する手段として、フレーム・レイト・コントロール(FRC)方式がある。FRC方式は数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定することで中間階調を得る方法である。また、FRC方式では図2に示すように、ある大きさのマトリクスの中で表示オンと表示オフから成るパターン(以下、FRCパターンと呼ぶ)を形成し、このFRCパターンをフレーム毎に切り替えていく方法が一般的である。

【0004】ここで、上記フレーム周波数変換と中間階調処理を共に実現する手段として、液晶コントローラと呼ばれるものがある。そのブロック構成を考えた場合、図3示すように中間階調処理を先に処理した後、フレームメモリに表示データを書き込みフレーム周波数を変換する方法、あるいは、図4に示すように階調データを先に全てフレームメモリに書き込んでフレーム周波数を変換した後、階調処理を行う方法とがある。これらの構成の公知例としては、例えば図3の中間階調処理先行タイプSociety for Information Display学会発行のSID'95ダイジェストP356に記載されており、図4のフレーム周波数変換先行タイプはCirrus Logic社発行の液晶コントローラ7548データシートP98に記載されている。

【0005】

【発明が解決しようとする課題】従来の液晶コントローラにおいて、例えば中間階調処理先行タイプは、入力する60~75Hzのフレーム周波数がそのままFRCパターンの切り替え周波数となる。このため、FRCパターンの切り替えが視認されやすく、具体的には中間階調表示部分が流れたり、ちらついている様に見えるといった課題があった。一方、フレーム周波数変換先行タイプでは、中間階調処理をフレーム周波数変換後に行うため、FRCパターンの切り替え周波数が液晶出力のフレーム周波数と同じになり、ある程度高くなることから、中間階調表示部分の流れは軽減する。しかし、1画素につき数ビットの階調情報を含む表示データ全てをフレームメモリに格納する必要があるため、フレームメモリ容量が大きくなるといった課題があった。

【0006】本発明の目的は、上記課題を解決すべく、中間階調表示部分が流れを軽減し、かつフレームメモリ容量の増大を防いだ液晶コントローラを提供することで

ある。

【0007】

【課題を解決するための手段】上記目的を達成するには、フレーム周波数変換処理を行うフレームメモリよりも前段で中間階調データのビット数を削減する中間階調処理を行うこと、かつ、FRCパターンの切り替え周波数は液晶出力のフレーム周波数と同じであることが条件となる。そこで、本発明の液晶コントローラは、中間階調処理をフレームメモリに書き込む前段と、周波数変換して読み出した後段の両方に設ける構成とした。この構成を用いることにより、フレームメモリ前段の中間階調処理で中間階調データのビット数を低減できるため、フレームメモリ容量の増大を防ぐことができ、また、フレームメモリ後段の中間階調処理により、見かけ上のFRCパターンの切り替え周波数が出力と同じになり、中間階調表示部分が流れを軽減することができる。

【0008】この点に着目して、本発明の液晶コントローラは、FRC方式を行う中間階調処理部を、フレームメモリの前段と後段に分けて設けており、入力されるnビット中間階調データ中の数ビットは、フレームメモリに書き込まれる前に中間階調処理され、残りの数ビットはフレームメモリから読み出された後に中間階調処理される構成とし、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換するにした。

【0009】

【発明の実施の形態】図1に本発明第1の実施の形態の液晶コントローラのブロック図を示す。図1において101は本発明の液晶コントローラである。まず液晶コントローラ101の各構成ブロックとして、102は入力インターフェース部、103はフレームメモリ前段の中間階調処理部であり、以下これを低周波FRC処理部と呼ぶ。104はメモリ制御部であり、105はフレームメモリ後段の中間階調処理部であり、以下これを高周波FRC処理部と呼ぶ。106は液晶インターフェース部である。また、107は汎用のフレームメモリである。次に液晶コントローラ101の入出力信号として、108は入力表示データ群であり、109は入力表示データの同期信号群である。110は出力表示データ群であり、111は入力表示データの同期信号群である。112はフレームメモリへの表示データの書き込み、読みだしを制御するメモリ制御信号群である。113は液晶基準クロックであり、主にフレームメモリ107からのデータ読み出し信号と出力表示データの同期信号群111の原信号となるクロックである。

【0010】次に各ブロックの動作を説明する。

【0011】まず、入力インターフェース部102は、入力される表示データ108、同期信号109に対し、これらが他の各ブロックに入っていく際のタイミング調整、あるいは変換を行う。ここで本実施の形態において

は、表示データ108はR(赤)、G(緑)、B(青)に分かれ、それぞれ6ビットの中間階調データを有するものとする。また、入力同期信号群109は、入力表示データ108に同期したクロック信号、水平期間の切り替えを示す信号、フレーム期間切り替えを示す信号、表示データの有効時間を示す信号である。これは例えば日立製作所発行の日立LCDコントローラ/ドライバLSIデータブックP1186~1193記載のCL2、CL1、FLM、DPTMG信号に準じ、入力表示データ108および相互のタイミング関係は同データブック記載に準じるものとする。

【0012】低周波FRC処理部103は、6ビット入力表示データ108のうち下位5ビットに対してFRC処理を行い1ビットの表示データに変換する。一方、最上位ビットに対しては何も処理を行わない。すわち、6ビット入力表示データ108が2ビットの表示データとしてフレームメモリ107へ出力される。ここで、低周波FRC処理部103は図5に示すように、FRCパターン生成部501とFRCパターンセクタ502から構成される。FRCパターン生成部501は文字どおりFRCのパターンを生成する部分であり、入力データの下位5ビット分に対応した32種類のFRCパターンを生成する。FRCパターンセクタ502は、FRCパターン生成部501で生成された32種類のFRCパターンを、入力表示データ108の下位5ビットの値に応じて選択し、低周波選択FRC信号503として出力する。ここで、FRCパターン生成部501は図6に示すように、ドットカウンタ601、ラインカウンタ602、フレームカウンタ603、およびカウントエンコーダ604から構成される。カウンタ601~603のクロックは、それぞれCL2、CL1、FLM、あるいはそれに極似たものであり、また、カウンタ601~603の周期は、それぞれFRCパターンの横方向、縦方向、およびフレーム方向の周期に対応している。カウントエンコーダ604はカウンタ601~603のカウント値に応じて、表示オン/オフに対応した信号を発生し、FRCパターン信号群605を生成する。なお、FRCパターンにおける表示オン/オフの組み合わせ順序は、STN液晶の表示品質と深い関わりがある。したがって、表示品質を良好にする考え方と具体的なFRCパターンの例については、後述の実施の形態にて示すことにする。

【0013】メモリ制御部104は、同期信号群109および液晶基準クロック113から上記メモリ制御信号群112を生成して出力する。ここで、メモリ制御信号群112は使用するフレームメモリの仕様に準じており、例えばフレームメモリとして日立製作所発行のICメモリデータブックP858~887記載のHM5241605を使う場合には、同データブック記載のメモリ制御信号群に準じたメモリ制御信号群112を出力す

る。なお、フレームメモリ107への書き込み制御信号群は入力同期信号群109中のCL2に同期して生成されており、また、フレームメモリ107からの読みだし制御信号群は液晶基準クロック113に同期して生成されている。

【0014】高周波FRC処理部105は、図7に示すFRCパターン生成部701とFRCパターンセクタ702、およびFRCパターン合成部703から構成される。FRCパターン生成部701はフレームメモリ107から読み出される最上位ビットの表示データ704に対応した2種類のFRCパターンを生成する。FRCパターンセクタ702は、FRCパターン生成部701で生成された2種類のFRCパターンを、最上位ビットの表示データ704の値に応じて選択し、高周波選択FRC信号706として出力する。FRCパターン合成部703は、高周波選択FRC信号706とフレームメモリ107から読み出される低周波選択FRC信号705論理和をとり、階調処理信号707として出力する。ここで、FRCパターン生成部701は図8に示すように、ドットカウンタ801、ラインカウンタ802、フレームカウンタ803、およびカウントエンコーダ804から構成される。カウンタ801~803のクロックは、それぞれ後述する液晶出力同期信号CL2、CL1、FLM、あるいはそれに極似たものであり、また、カウンタ801~803の周期はの値はそれぞれ2であり、これらはFRCパターンの横方向、縦方向、およびフレーム方向の周期に対応している。カウントエンコーダ804はカウンタ801~803のカウント値に応じて、表示オン/オフに対応した信号を発生し、FRCパターンを生成する。ここで、高周波FRC処理部105で生成する、2種類のFRCパターンの1例を図9に示す。図9から分かるように、FRCパターンは2画素×2画素を単位マトリクスとしたチェッカーパターンであり、その半分は表示オン又は表示オフデータを表示する部分、半分は低周波選択FRC信号705をそのまま表示する部分となる。また、これらの部分は1フレーム毎にその場所を交互に切り替える。

【0015】液晶インターフェース部106は高周波FRC処理部105で変換されたRGB各1ビットの階調処理信号707を変換して出力表示データ群110を生成し、また、液晶基準クロック113から、出力同期信号群111を生成する。ここで本実施の形態においては、出力表示データ群110は8画素パラレルで出力されるものとする。また、出力同期信号群111は、例えば日立製作所発行の日立LCDコントローラ/ドライバLSIデータブックP737~750記載のCL2、CL1、FLM、DISPOFFに準じ、出力表示データ110および相互のタイミング関係は同データブック記載に準じるものとする。

【0016】以上説明した本発明第1実施の形態におけ

る、表示データの中間階調処理の流れをまとめて図10に示す。図10から分かるように、入力される6ビットの中間階調データがフレームメモリ書き込まれる際には2ビットまで低減されるため、フレームメモリの容量を少なくすることができる。一方、FRCパターンの切り替え周波数は、出力される液晶出力信号のフレーム周波数と同じになることから、中間階調表示部分の流れを軽減することができる。なお、入力されるフレーム周波数に対し、出力されるフレーム周波数は整数倍であることが望ましい。これは、合成されたFRCパターンのフレーム方向の完結周期が短くなり、中間階調表示部分の流れをより軽減することが出来るためである。このタイミング調整は、どの走査電極も選択走査しない期間である帰線期間で行うことが望ましい。また、本実施の形態では説明を容易にするため、液晶の出力データを8画素パラレルとしたが、これに限られるわけではなく、例えば上画面データとした画面データに分けて出力する構成でも良い。この場合、フレームメモリを上画面用を下画面用の2プレーン用意すると制御が容易である。さらに、本実施の形態では入力データの最上位ビットを高周波FRCパターンのセレクト信号としたが、これに限られるわけではなく、入力データの上位2ビットを高周波FRCパターンのセレクト信号にしてもよい。この場合フレームメモリに書き込む表示データは1画素につき3ビットになるが、その容量を確保できていれば良い。

【0017】次に本発明第2の実施の形態を示す。

【0018】本発明第2の実施の形態は、本発明第1におけるフレームメモリを液晶コントローラの中に搭載したものである。図11は本実施の形態の構成図であり、1101は本発明の液晶コントローラであり、1102はフレームメモリである。その他のブロックおよび信号群は、本発明第1実施の形態の液晶コントローラと同じであり、同じ動作を行う。したがって、本実施の形態の詳細な動作説明は省略する。本発明第2の実施の形態では、フレームメモリを内蔵した1チップのLSIで実現可能であることから、回路の高速動作、および低価格なシステム構成が可能となる。

【0019】次に本発明第3の実施の形態を示す。

【0020】本発明第3の実施の形態は、本発明第1および第2の実施の形態における液晶コントローラを液晶モジュールの中に搭載したものである。図12は本実施の形態の構成図であり、1201は本発明の液晶モジュール、1202は液晶コントローラである。液晶コントローラ1202は本発明第1および第2の実施の形態における液晶コントローラを同じものである。1203はデータドライバであり、これは例えば日立製作所発行の日立LCDコントローラ/ドライバLSIデータブックP737~750記載の液晶ドライバを用いて実現可能である。1204は走査ドライバであり、これは例えば日立製作所発行の日立LCDコントローラ/ドライバLSI

LSIデータブックP751~771記載の液晶ドライバを用いて実現可能である。1205は電源回路であり、データドライバ1203および走査ドライバ1204で必要とする電源電圧を生成する。1206は単純マトリクス型の液晶パネルである。本発明の液晶モジュール1201の入力信号は液晶コントローラ1202に入力され、これらは本発明第1および第2実施の形態の液晶コントローラの入力信号と同じである。また、液晶コントローラ1202の出力は本発明第1および第2実施の形態の液晶コントローラの出力信号と同じであり、これらはデータドライバ1203および走査ドライバ1204へ供給されている。以上、本発明第3の実施の形態では、液晶コントローラを液晶モジュールに内蔵していることから、例えばRGB各6ビットのデジタルデータを入力信号にすることが出来る。このRGB各6ビットのデジタルデータは、元来TFT液晶モジュールの入力信号であることから、本発明第3の実施の形態の液晶モジュールは、TFT液晶モジュールとのインターフェース互換性を持たせることが出来る。

【0021】次に本発明第4の実施の形態を示す。

【0022】本発明第4の実施の形態は、本発明第1および第2の実施の形態における液晶コントローラの前段にA/D変換器を具備したものである。図13は本実施の形態の構成図であり、1301は本発明の液晶コントローラ、1302は階調処理コントローラ、1303はA/D変換器である。階調処理コントローラ1202は本発明第1および第2の実施の形態における液晶コントローラを同じものである。1303は例えばソニー発行のA/D変換器データブックP1~8記載のCXA3086Qを用いて実現可能である。このA/D変換器の入力はCRTとの互換性があり、出力はTFT液晶モジュールと互換性がある。すなわち、本発明第4の実施の形態の液晶表示コントローラを用いれば、CRTとのインターフェース互換性を持たせたSTN液晶表示装置を実現することが出来る。

【0023】次に本発明第5の実施の形態を示す。

【0024】本発明第5の実施の形態は、本発明液晶コントローラに対する、表示品質を良好にするFRCパターン考え方と具体例を示したものである。

【0025】まず、図14、図15はFRCパターンとこれを表示したときの液晶印加電圧波形を示したものである。図14に示すパターンにおいては、全てのデータ電圧が同じ方向へ一斉に変化するため、この変化が液晶の容量成分と電極の抵抗成分を介して、走査電圧波形の歪みを生じさせる。この走査電圧波形の歪みが液晶印加電圧実効値を変化させるため、シャドーイングと呼ばれる表示むらが発生し易い。これに対し図15に示すパターンは、データ電圧の変化方向が半数ずつ反対向きである。この場合走査電圧波形の歪みは互いに相殺され、ほとんど発生しない。よって、この場合にはシャドーイン

グを少なくすることが出来る。ここで、図15に示すパターンの様に、データ電圧の変化方向が半数ずつ反対向きになる条件を考える。この条件は、FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定である(図15の場合、表示オン:表示オフ=2:2)ことである。ところで、本発明の液晶コントローラでは低周波FRCパターンと高周波FRCパターンを組み合わせる表示構成である。したがって、合成されたFRCパターンが上述した条件を満たすことが必要である。この条件を図16、図17を用いて説明する。図16は低周波FRCパターンが4×4画素のマトリクス、図17は低周波FRCパターンが3×3画素のマトリクスで構成され、高周波パターンは本発明の実施の形態1〜4と同じ、2×2画素のチェッカーパターンである。なお、図16、17における低周波FRCパターンは全て上述した、FRCパターンマトリクス中における表示オンと表示オフの割合がどの走査ライン上でも一定である、という条件を満たしている。まず図16のFRCパターンについて考えると、合成されたFRCパターンのマトリクスの大きさ(周期)は、低周波FRCパターンと高周波FRCパターンのマトリクスの大きさの最小公倍数であることから、4×4画素になる。このとき、FRCパターンマトリクス中における表示オンと表示オフの割合が、走査ラインによって異なる、したがって、図16の場合は、上述したように走査電圧波形の歪みが発生するため、シャドーイングが発生し易い。これに対し、まず図17のFRCパターンについて考えると、合成されたFRCパターンのマトリクスの大きさ(周期)は、低周波FRCパターンと高周波FRCパターンのマトリクスの大きさの最小公倍数であることから、6×6画素になる。このとき、FRCパターンマトリクス中における表示オンと表示オフの割合が、走査ラインによらず5:1になる。したがって、図17の場合は、走査電圧波形の歪みがほとんど発生しないため、シャドーイングを少なくすることが出来る。ここで、図17に示すパターンの様に、合成FRCパターンにおいて、FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定になる条件を考える。この条件は、高周波周波FRCパターンをチェッカーパターンにした場合、低周波FRCパターンのマトリクスの走査ライン方向の画素を奇数にすることである。以上の考察から、表示品質を良好にするFRCパターンの条件をまとめると、高周波周波FRCパターンをチェッカーパターンにした場合、低周波FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定であること。かつ、低周波FRCパターンのマトリクスの走査ライン方向の画素数は奇数であること、のように表現することができる。

【0026】なお、本発明第5の実施の形態においては

高周波周波FRCパターンを2×2画素のチェッカーパターンとしたがこれに限られるわけではなく、合成FRCパターンマトリクス中における表示オンと表示オフの割合が、どの走査ライン上でも一定になる条件を満たせば、他のパターンを用いてもよい。

【0027】以上説明したように、本発明第1〜4の実施の形態は、フレームメモリ前段の中間階調処理で中間階調データのビット数を低減できるため、フレームメモリ容量の増大を防ぐことができ、また、フレームメモリ後段の中間階調処理により、見かけ上のFRCパターンの切り替え周波数が出力と同じになり、中間階調表示部分が流れを軽減することができる。また、本発明第5の実施の形態で示した条件の合成FRCパターンを用いることにより、シャドーイングの発生を抑えた高品質な中間階調表示が可能である。なお、本発明第5の実施の形態で示した条件の合成FRCパターンは、本発明第1〜4の実施の形態の液晶コントローラに適用することが望ましい。

【0028】

【発明の効果】本発明により、直交する走査電極とデータ電極の交点で画素を構成し、該画素は該走査電極とデータ電極に印加される電圧の差の2乗平均に依りて透過率が変化する、単純マトリクス型の液晶ディスプレイのコントローラにおいて、表示データを一時保存するためのフレームメモリ容量の増大を防ぐことができ、かつ、中間階調表示部分の流れ、ちらつきを軽減することができる。また、本発明第5の実施の形態の中間階調の表示パターンを用いることにより、表示むらの発生を抑えた高品質な中間階調表示が可能である。

【図面の簡単な説明】

【図1】本発明第1の実施の形態に係わる液晶コントローラの構成を示すブロック図である。

【図2】従来の中間階調表示の処理方法を示す図である。

【図3】従来の液晶コントローラの構成を示すブロック図である。

【図4】従来の液晶コントローラの構成を示すブロック図である。

【図5】本発明第1の実施の形態に係わる液晶コントローラにおける、低周波FRC処理部の構成を示すブロック図である。

【図6】本発明第1の実施の形態に係わる液晶コントローラにおける、低周波FRCパターン生成部の構成を示すブロック図である。

【図7】本発明第1の実施の形態に係わる液晶コントローラにおける、高周波FRC処理部の構成を示すブロック図である。

【図8】本発明第1の実施の形態に係わる液晶コントローラにおける、高周波FRCパターン生成部の構成を示すブロック図である。

【図9】本発明第1の実施の形態に係わる液晶コントローラにおける、高周波FRCパターンの一例を示す図である。

【図10】本発明第1の実施の形態に係わる液晶コントローラにおける、表示データの処理の流れを示す図である。

【図11】本発明第2の実施の形態に係わる液晶コントローラの構成を示すブロック図である。

【図12】本発明第3の実施の形態に係わる液晶コントローラの構成を示すブロック図である。

【図13】本発明第4の実施の形態に係わる液晶コントローラの構成を示すブロック図である。

【図14】本発明第4の実施の形態に係わる、表示パターンと液晶印加電圧波形の関係を示すモデル図である。

【図15】本発明第4の実施の形態に係わる、表示パターンと液晶印加電圧波形の関係を示すモデル図である。

【図16】本発明第4の実施の形態に係わる、FRCパターンの1例を示す図である。

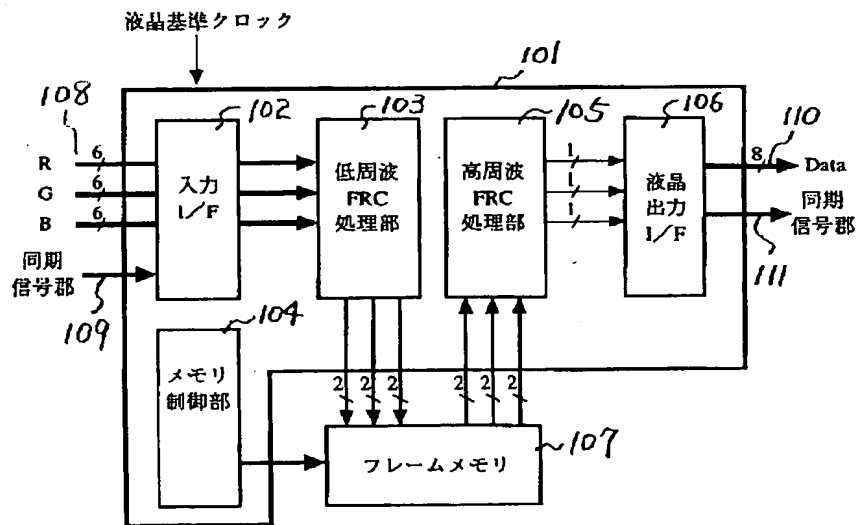
【図17】本発明第4の実施の形態に係わる、FRCパターンの1例を示す図である。

【符号の説明】

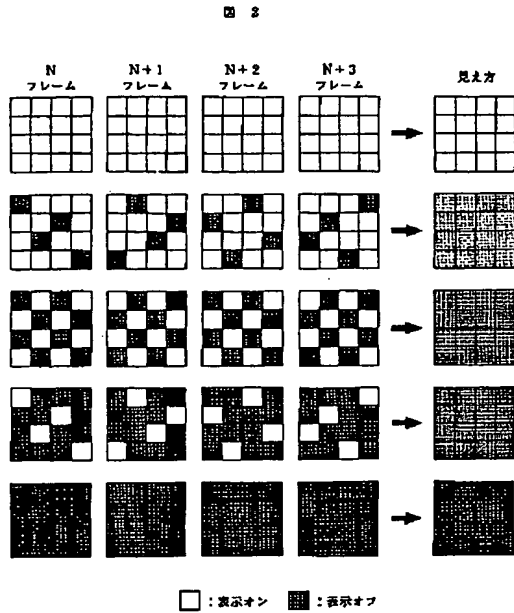
- * 101…液晶コントローラ
- 103…低周波FRC処理部
- 104…高周波FRC処理部
- 108…入力表示データ
- 109…入力同期信号群
- 110…出力表示データ
- 111…出力同期信号群
- 501…FRCパターン生成部
- 502…セレクタ
- 10 503…低周波FRC信号
- 701…FRCパターン生成部
- 702…セレクタ
- 703…FRCパターン合成部
- 706…高周波FRC信号
- 707…階調処理信号
- 1101…液晶コントローラ
- 1201…液晶表示モジュール
- 1202…液晶コントローラ
- 1301…液晶コントローラ
- 20 1302…階調処理コントローラ
- * 1303…A/D変換器

【図1】

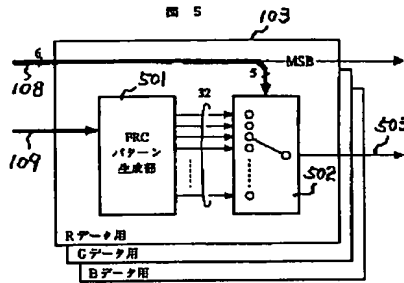
図 1



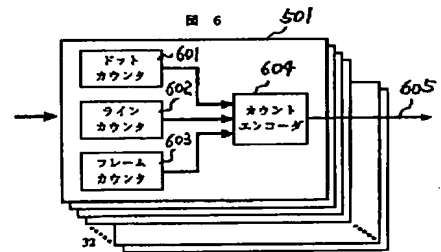
【図2】



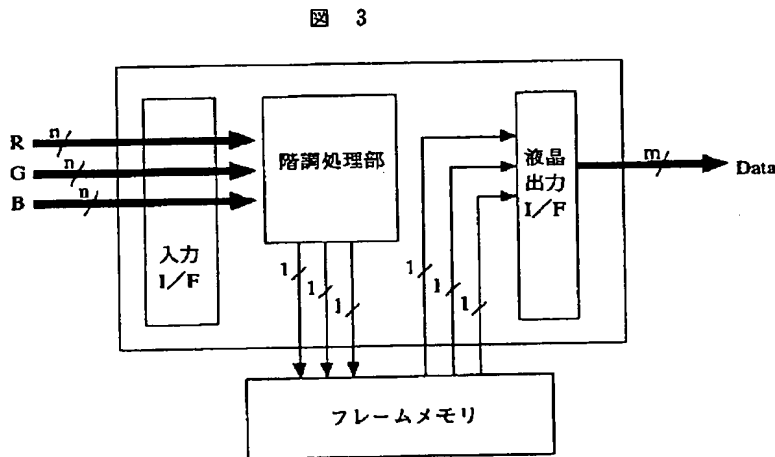
【図5】



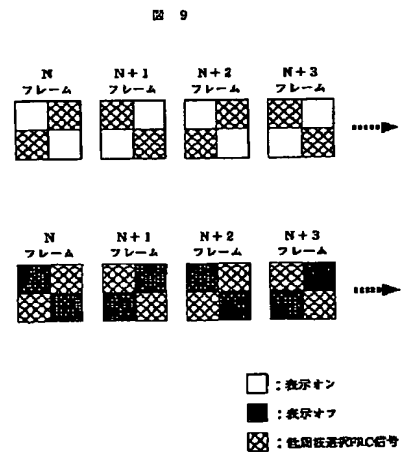
【図6】



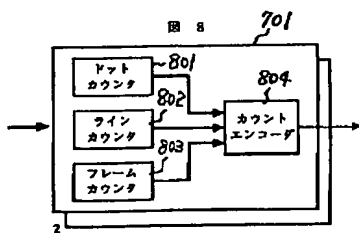
【図3】



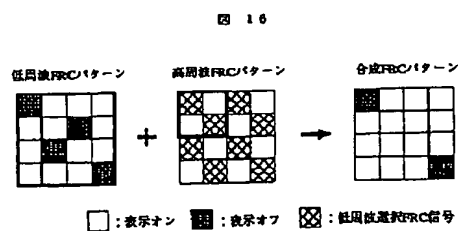
【図9】



【図8】

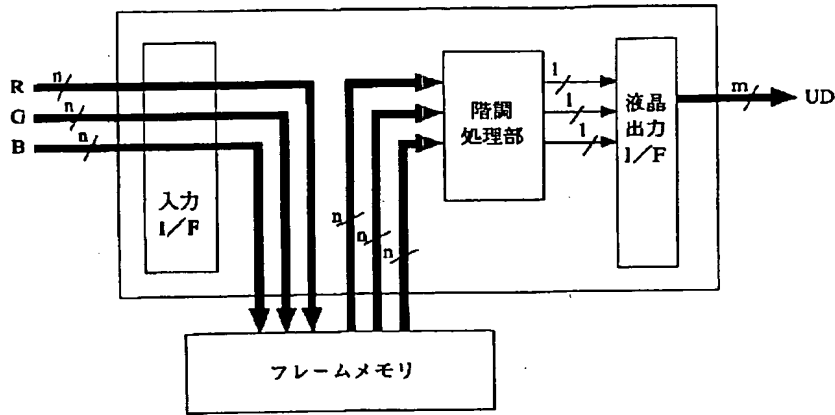


【図16】

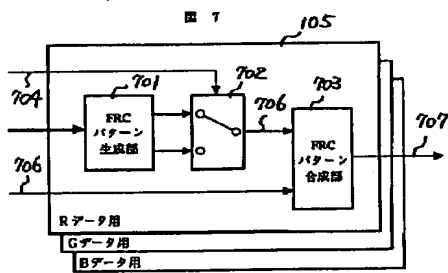


【図4】

図 4

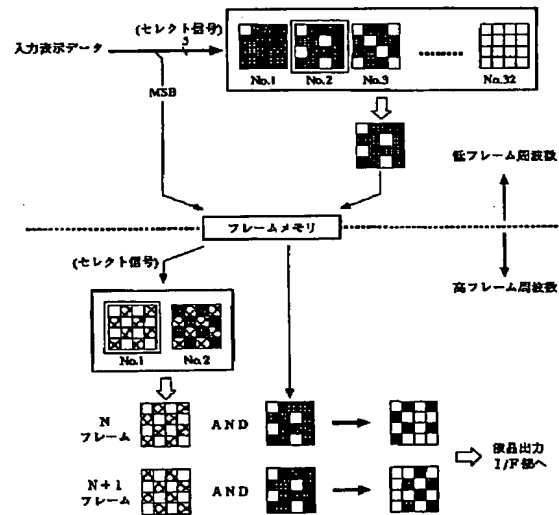


【図7】

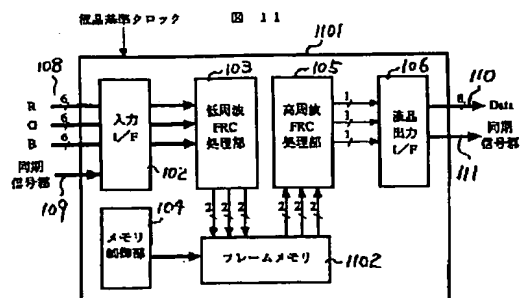


【図10】

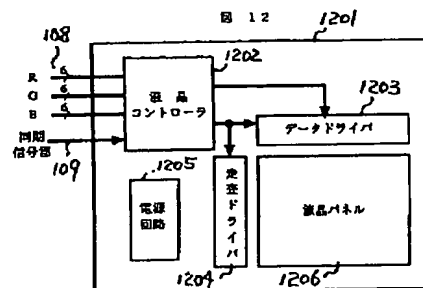
図 10



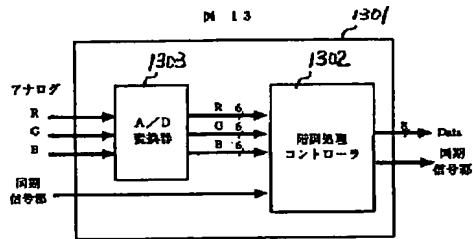
【図11】



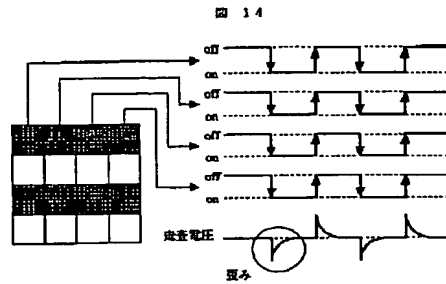
【図12】



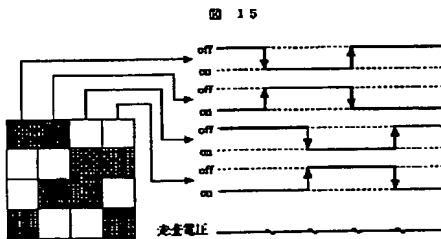
【図13】



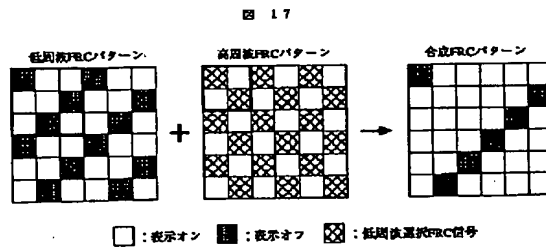
【図14】



【図15】



【図17】



フロントページの続き

(72)発明者 古橋 勉
 神奈川県川崎市麻生区王禅寺1099番地株式
 会社日立製作所システム開発研究所内
 (72)発明者 内田 真▲じ▼
 千葉県茂原市早野3300番地株式会社日立製
 作所電子デバイス事業部内

(72)発明者 大平 智秀
 千葉県茂原市早野3300番地株式会社日立製
 作所電子デバイス事業部内
 (72)発明者 犬塚 達裕
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立画像情報システム内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成13年2月9日(2001.2.9)

【公開番号】特開平10-143111
 【公開日】平成10年5月29日(1998.5.29)
 【年通号数】公開特許公報10-1432
 【出願番号】特願平8-304420
 【国際特許分類第7版】

G09G 3/36

【F1】

G09G 3/36

【手続補正書】

【提出日】平成12年4月5日(2000.4.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】直交する走査電極とデータ電極の交点で画素を構成する、単純マトリクス型の液晶ディスプレイを表示するための液晶コントローラであって、
 該液晶コントローラの入力信号は、該画素に n ビット(n は正の整数)分の異なるレベルの中間階調を表示するための表示データと、該入力表示データに同期したクロック信号、1走査電極当りの入力表示期間の切り替えを示すライン信号、先頭の走査電極の入力表示タイミングを示すフレーム信号、有効入力表示データの期間を示す信号である同期信号群と、該単純マトリクス型液晶ディスプレイを表示するために必要な同期信号群を生成する基準となるクロック信号であり、
 該液晶コントローラの出力信号は、複数画素分が平行に出力される2値の表示データと、該出力表示データに同期したクロック信号、1走査電極当り出力表示期間の切り替えを示すライン信号、先頭の走査電極の出力表示タイミングを示すフレーム信号、有効出力表示データの期間を示す信号である同期信号群であり、
 該液晶コントローラは、入力されるフレーム周波数よりも高いフレーム周波数で該単純マトリクス型液晶ディスプレイを駆動するため、フレーム周波数を変換するためのフレームメモリを外部に具備しており、
 該液晶コントローラは、入力される該 n ビット中間階調データを1ビットに変換して出力するために、複数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定するフレーム・レイト・コントロール(FRC)方式を用いた中間階調処理を実行し、該液晶コントローラは、該FRC方式を行う中間階調処理部を、該フレームメモリの前段(低周波中間階調処理部)

と後段(高周波中間階調処理部)に分けて設けており、
 入力される該 n ビット中間階調データ中の数ビットは、該フレームメモリに書き込まれる前に該低周波中間階調処理され、残りの数ビットは該フレームメモリから読み出された後に該高周波中間階調処理され、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換することを特徴とする液晶コントローラ。

【請求項2】請求項1記載の液晶コントローラにおいて、該低周波中間階調処理部と該高周波中間階調処理部は、水平方向と垂直方向にそれぞれ数画素分のマトリクスを形成し、この中で表示オンと表示オフから成るパターン(以下、FRCパターンと呼ぶ)を生成し、このFRCパターンをフレーム毎に切り替える制御方法を用い、該高周波中間階調処理部で使用するFRCパターンは、2画素×2画素を単位マトリクスとしたチェッカーパターンであり、その半分は表示オン又は表示オフデータを表示する部分、前記低周波中間階調処理部で出力される信号そのまま表示する部分であり、これらの部分は1フレーム毎にその場所を交互に切り替え、該高周波中間階調処理部で処理される表示信号は、該 n ビット中間階調データの最上位ビットであることを特徴とする液晶コントローラ。

【請求項3】請求項1記載の液晶コントローラにおいて、出力されるフレーム周波数は出力されるフレーム周波数の整数倍であり、該フレーム周波数変換のタイミング調整は、どの走査電極も選択走査しない期間である帰線期間で行うことを特徴とする液晶コントローラ。

【請求項4】請求項1の液晶コントローラは、該フレームメモリを内蔵し、1チップのLSIで構成されていることを特徴とする液晶コントローラ。

【請求項5】直交する走査電極とデータ電極の交点で画素を構成する、単純マトリクス型の液晶パネルと、該データ電極に、表示情報に応じた電圧を印加するデータドライバと、該走査電極に非選択走査電圧と走査選択電圧を出力する走査ドライバと、該データドライバと走査ド

ライバの駆動に必要な電源電圧を発生する電源回路と、該データドライバと走査ドライバの動作に必要な制御信号、及び表示データを供給する液晶コントローラからなる液晶表示装置であって、該液晶コントローラの入力信号は、該画素に n ビット（ n は正の整数）分の異なるレベルの中間階調を表示するための表示データと、該入力表示データに同期したクロック信号、1走査電極当りの入力表示期間の切り替えを示すライン信号、先頭の走査電極の入力表示タイミングを示すフレーム信号、有効入力表示データの期間を示す信号である同期信号群と、該単純マトリクス型液晶ディスプレイを表示するために必要な同期信号群を生成する基準となるクロック信号であり、該液晶コントローラの出力信号は、複数画素分が平行に出力される2値の表示データと、該出力表示データに同期したクロック信号、1走査電極当り出力表示期間の切り替えを示すライン信号、先頭の走査電極の出力表示タイミングを示すフレーム信号、有効出力表示データの期間を示す信号である同期信号群であり、該液晶

コントローラは、入力されるフレーム周波数よりも高いフレーム周波数で該単マトリクス型液晶ディスプレイを駆動するため、フレーム周波数を変換するためのフレームメモリと接続され、該液晶コントローラは、入力される該 n ビット中間階調データを1ビットに変換して出力するために、複数フレームを1周期として、この周期の中で表示オンと表示オフの割合を設定するフレーム・レイト・コントロール（FRC）方式を用いた中間階調処理を実行し、該液晶コントローラは、該FRC方式を行う中間階調処理部を、該フレームメモリの前段（低周波中間階調処理部）と後段（高周波中間階調処理部）に分けて設けており、入力される該 n ビット中間階調データ中の数ビットは、該フレームメモリに書き込まれる前に該低周波中間階調処理され、残りの数ビットは該フレームメモリから読み出された後に該高周波中間階調処理され、双方の中間階調処理部で得られた表示信号を合成して、1ビットの該出力表示データに変換することを特徴とする液晶コントローラ。